

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-297186

(43)Date of publication of application : 10.11.1995

(51)Int.Cl.

H01L 21/3205

(21)Application number : 06-083325

(71)Applicant : FUJITSU LTD

(22)Date of filing : 21.04.1994

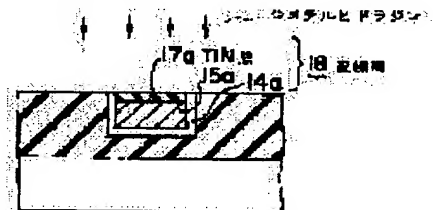
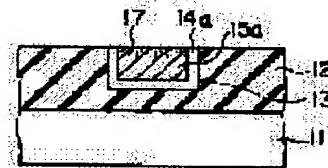
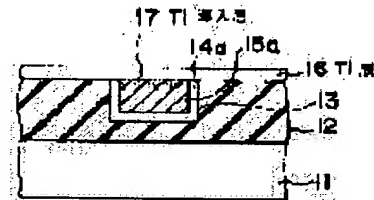
(72)Inventor : MAEDA HITOMI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To obtain a semiconductor device whose flatness is maintained, which prevents the reaction of a copper electrode with the circumference of an interconnection layer and which prevents a bad influence due to a polishing operation by a method wherein the circumference of a copper film is covered with a high-melting-point-metal film or its nitride, metal particles are introduced into the surface layer of the copper film which has been buried inside a groove and the metal particles are reacted with nitrogen.

CONSTITUTION: An insulating film 12 on a substrate 11 is etched selectively, an interconnection groove 13 is formed, a TiN film is formed on the whole face, a copper film is formed by a CVD method, a polishing operation is performed, and a Cu film 15a is left only inside the interconnection groove 13 by interposing a TiN film 14a. Then, a Ti film 16 is formed on the Cu interconnection 15a and the insulating film 12, a heating treatment is executed, and a Ti-introduced layer 17 is formed on the surface layer of the copper interconnection layer 15a. Then, the copper interconnection layer 15a and the Ti film on the insulating film 12 are removed, hydrazine is introduced, the substrate 1 is heated, Ti particles which have been diffused into the copper interconnection layer 15 and which are in a coarse state are reacted with nitrogen on the surface of the copper interconnection layer 15a so as to be changed into TiN, and a TiN film 17a is formed on the surface layer of the copper interconnection layer 15a.



LEGAL STATUS

[Date of request for examination]

20.04.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-297186

(43) 公開日 平成7年 (1995) 11月10日

(51) Int. Cl.⁶

H 0 1 L 21/3205

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/88

K

M

審査請求 未請求 請求項の数 8 O L (全 7 頁)

(21) 出願番号 特願平6-83325

(22) 出願日 平成6年 (1994) 4月21日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 前田 ひとみ

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

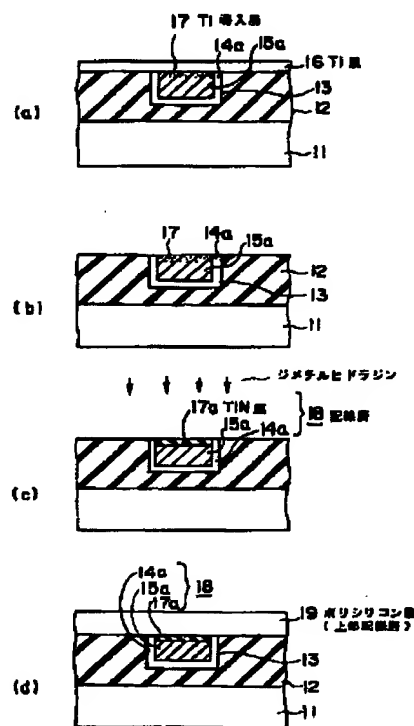
(74) 代理人 弁理士 岡本 啓三

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 本発明は銅配線層や銅電極を有する半導体装置の製造方法に関し、平坦化を維持しつつ、銅電極/配線層の周囲のシリコン層や酸化膜との反応を防止し、かつ研磨により生じた銅電極/配線層表面の荒れやダメージが悪影響を与えないようにする。

【構成】 基板 11 上に絶縁膜 12 を形成する工程と、絶縁膜 12 を選択的にエッチングして溝 13 を形成する工程と、高融点金属又は高融点金属の窒化物からなる介在膜を形成して溝 13 を被覆する工程と、介在膜の上に銅膜を形成する工程と、溝 13 の上部の銅膜と溝 13 の外の銅膜及び介在膜とを除去し、銅膜 15 a と介在膜 14 a を溝 13 内に残す工程と、銅膜 15 a の表層に金属粒子を導入する工程と、窒素を含むガスに銅膜 15 a を曝し、金属粒子と窒素を反応させて銅膜 15 a の表層に金属窒化物 17 a を形成する工程とを有する。



【特許請求の範囲】

【請求項1】 基板上に絶縁膜を形成する工程と、前記絶縁膜を選択的にエッチングして溝を形成する工程と、

高融点金属又は高融点金属の窒化物からなる介在膜を形成して前記溝を被覆する工程と、

前記介在膜の上に銅膜を形成する工程と、

前記溝の上部の前記銅膜と前記溝の外の前記銅膜及び前記介在膜とを除去し、前記銅膜と前記介在膜を前記溝内に残す工程と、

前記銅膜の表層に金属粒子を導入する工程と、

窒素を含むガスに前記銅膜を曝し、前記金属粒子と前記窒素を反応させて前記銅膜の表層に金属窒化物を形成する工程とを有する半導体装置の製造方法。

【請求項2】 前記溝の上部の前記銅膜と前記溝の外の前記銅膜及び前記介在膜とを除去する手段として研磨を用いることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記基板は拡散層が形成された半導体層であり、前記溝の形成により前記溝の底部に露出した前記拡散層と前記銅膜とを前記介在膜を介して接続することを特徴とする請求項1又は請求項2記載の半導体装置の製造方法。

【請求項4】 前記基板には配線層が形成されており、前記溝の形成により前記溝の底部に露出した前記配線層と前記銅膜とを前記介在膜を介して接続することを特徴とする請求項1又は請求項2記載の半導体装置の製造方法。

【請求項5】 前記高融点金属又は高融点金属の窒化物は、Ti、Ta、W、Mo、Nb又はTiNであることを特徴とする請求項1、請求項2、請求項3又は請求項4記載の半導体装置の製造方法。

【請求項6】 前記銅膜の表層に前記金属粒子を導入する工程は、前記銅膜上に金属膜を形成し、加熱処理して前記金属膜の前記金属粒子を前記銅膜の表層に拡散し、その後、前記金属膜を除去する工程を有することを特徴とする請求項1、請求項2、請求項3、請求項4又は請求項5記載の半導体装置の製造方法。

【請求項7】 前記窒素を含むガスとして少なくともN₂及びNH₃のいずれかを含むガスを用い、前記基板を温度550～800℃に加熱することにより前記窒素と前記金属粒子とを反応させることを特徴とする請求項1、請求項2、請求項3、請求項4、請求項5又は請求項6記載の半導体装置の製造方法。

【請求項8】 前記窒素を含むガスとして少なくともヒドラジン化合物、アミド化合物及び窒素環状化合物のいずれかを含むガスを用い、前記基板を温度350℃以上に加熱することにより、又は前記基板を温度100℃以上に加熱して前記窒素を含むガスをプラズマ化することにより、或いは前記基板を温度100℃以上に加熱して

前記窒素を含むガスに光を照射することにより、前記窒素と前記金属粒子とを反応させることを特徴とする請求項1、請求項2、請求項3、請求項4、請求項5又は請求項6記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置の製造方法に関し、より詳しくは、銅配線層や銅電極を有する半導体装置の製造方法に関する。

10 【0002】

【従来の技術】近年、LSI等半導体集積回路装置においてはますます高密度化が進展してきており、特に、配線層の微細化によりA1配線はエレクトロマイグレーションやストレスマイグレーションが発生しやすくなっている。A1配線に代わる配線材料として、例えば、マイグレーション耐性に優れ、かつ低抵抗である銅が注目されている。

【0003】しかし、銅からなる配線層を形成した後、数時間大気中に放置しただけでその表面が酸化してしまう。また、膜形成その他のプロセスで加えられる熱によって銅はシリコンやシリコン酸化膜と簡単に反応してしまう。更に、反応が生じない場合でも、接触する酸化膜と反応して銅表面が徐々に酸化して配線層の抵抗の増加を招いたり、銅が酸化膜中に拡散して配線層周囲の酸化膜の絶縁性の低下を引き起こしたりする。また、銅電極/配線層と接触するシリコン層に銅が拡散してシリコン層に形成されているトランジスタの特性劣化を招く。

【0004】以上のように、銅はシリコン層や酸化膜に拡散し易く、酸化されやすいため、半導体プロセスにおいては扱いにくい。これらの欠点を補うため、従来、半導体プロセスにおいて種々の工夫がなされている。即ち、図6(a)に示すように、半導体基板1上の絶縁膜2の上に高融点金属膜3を敷いて銅膜(Cu膜)4を形成した後、図6(b)に示すように、パターニングして配線層となる銅膜4a及び高融点金属膜3aを形成する。続いて、銅膜4aの露出面を高融点金属膜5で被覆し、パターニングして配線層6を形成する。

【0005】しかし、上記の構造では配線層6が絶縁膜2上にそのまま突出するので、多層配線には適さない。このため、配線層6を形成後に平坦な基板表面が必要とされる場合には、次のようにする。即ち、図7(a)に示すように、半導体基板1上の絶縁膜2に溝7を形成し、その溝7内の絶縁膜2の露出面を高融点金属膜3で被覆した後、溝7の深さよりも厚い膜厚の銅膜4を形成する。

【0006】続いて、図7(b)に示すように、溝7の上方に突出する銅膜4と、溝7の外の絶縁膜2上の銅膜4と、高融点金属膜3とを研磨により除去し、溝7内のみ銅膜4b及び高融点金属膜3bを残す。その後、CVDによる選択成長により、或いはパターニングによ

り、図7(c)に示すように、溝7上部に露出する銅膜4bを被覆して高融点金属膜8を形成して配線層9を形成する。

【0007】

【発明が解決しようとする課題】しかし、図7に示す例は図6に示す例よりも平坦化に適しているが、なお、銅膜4bを被覆する高融点金属膜8がより完全な平坦化を妨げている。更なる微細化或いは薄膜化により問題となると考えられる。また、銅膜4bを溝7に埋め込むためのポリッシングにより銅膜4bの表面が荒れたり、銅膜4bの表面にダメージが生じるという問題がある。このため、ポイドが発生し、抵抗が増加等してしまう。

【0008】本発明は、係る従来例の問題点を鑑みて創作されたものであり、平坦化を維持しつつ、銅電極/配線層の周囲のシリコン層や酸化膜との反応を防止し、かつ研磨により生じた銅電極/配線層表面のダメージが悪影響を与えないようにすることができる半導体装置の製造方法を提供することを目的とするものである。

【0009】

【課題を解決するための手段】上記課題は、第1に、基板上に絶縁膜を形成する工程と、前記絶縁膜を選択的にエッチングして溝を形成する工程と、高融点金属又は高融点金属の窒化物からなる介在膜を形成して前記溝を被覆する工程と、前記介在膜の上に銅膜を形成する工程と、研磨により前記溝の上部の前記銅膜と前記溝の外の前記銅膜及び前記介在膜とを除去し、前記介在膜を介在させて前記銅膜を前記溝内に残す工程と、前記銅膜の表層に金属粒子を導入する工程と、窒素を含むガスに前記銅膜を曝し、前記銅膜の表層の前記金属粒子と前記窒素を反応させて金属窒化物を形成する工程とを有する半導体装置の製造方法によって達成され、第2に、前記溝の上部の前記銅膜と前記溝の外の前記銅膜及び前記介在膜とを除去する手段として研磨を用いることを特徴とする第1の発明に記載の半導体装置の製造方法によって達成され、第3に、前記基板は拡散層が形成された半導体層であり、前記溝の形成により前記溝の底部に露出した前記拡散層と前記銅膜とを前記介在膜を介して接続することを特徴とする第1又は第2の発明に記載の半導体装置の製造方法によって達成され、第4に、前記基板には配線層が形成されており、前記溝の形成により前記溝の底部に露出した前記配線層と前記銅膜とを前記介在膜を介して接続することを特徴とする第1又は第2の発明に記載の半導体装置の製造方法によって達成され、第5に、前記高融点金属又は高融点金属の窒化物は、Ti, Ta, W, Mo, Nb又はTiNであることを特徴とする第1, 第2, 第3又は第4の発明に記載の半導体装置の製造方法によって達成され、第6に、前記銅膜の表層に前記金属粒子を導入する工程は、前記銅膜上に金属膜を形成し、加熱処理して前記金属膜の前記金属粒子を前記銅膜の表層に拡散し、その後、前記金属膜を除去する工

程を有することを特徴とする第1, 第2, 第3, 第4又は第5の発明に記載の半導体装置の製造方法によって達成され、第7に、前記窒素を含むガスとして少なくともN₂及びNH₃のいずれかを含むガスを用い、前記基板を温度550~800℃に加熱することにより前記窒素と前記金属粒子とを反応させることを特徴とする第1, 第2, 第3, 第4, 第5又は第6の発明に記載の半導体装置の製造方法によって達成され、第8に、前記窒素を含むガスとして少なくともヒドラジン化合物、アミド化合物及び窒素環状化合物のいずれかを含むガスを用い、前記基板を温度350℃以上に加熱することにより、又は前記基板を温度100℃以上に加熱して前記窒素を含むガスをプラズマ化することにより、或いは前記基板を温度100℃以上に加熱して前記窒素を含むガスに光を照射することにより、前記窒素と前記金属粒子とを反応させることを特徴とする第1, 第2, 第3, 第4, 第5, 第6又は第7の発明に記載の半導体装置の製造方法によって達成される。

【0010】

20 【作用】本発明の半導体装置の製造方法においては、銅膜の周囲を高融点金属膜やその窒化物により被覆しているので、銅膜の周囲に絶縁膜やシリコン層を形成した場合、銅膜と絶縁膜の接触部に必ず高融点金属膜やその窒化物が介在することになる。

【0011】従って、絶縁膜やシリコン層を形成する際の加熱処理時に、銅膜の酸化を防止し、或いは銅膜の周囲の絶縁膜やシリコン層への銅粒子の拡散を防止することができる。また、半導体装置の完成後に、高温環境による銅膜の酸化や、絶縁膜やシリコン層への銅粒子の拡散を防止することができる。更に、研磨により基板表面を平坦化した後溝内に埋め込まれた銅膜の表層に金属粒子を導入し、金属粒子と窒素とを反応させて銅膜の表層に金属窒化物を形成している。

【0012】金属窒化物は緻密なため、銅膜上に形成される絶縁膜やシリコン層と銅膜との反応を防止する保護膜として或いは絶縁膜等への銅粒子の拡散を防止する保護膜として機能する。従って、特別な他の保護膜を必要としない。これにより、基板表面の平坦化を維持しつつ、銅膜が酸化するのを防止し、或いは絶縁膜の絶縁性の低下を防止し、或いはシリコン層に形成されるトランジスタのリーク電流の増大を防止することができる。

【0013】また、その研磨面に窒化物を形成することにより、研磨により発生した銅膜表面の荒れを緩和し、ダメージから回復させることができる。

【0014】

【実施例】次に、図面を参照しながら、本発明の実施例について説明する。図1(a)~(d)、図2(a)~(d)は、本発明の実施例に係る埋め込み型銅配線層の作成方法について示す側面図である。また、図3は、埋め込み型銅配線層の形成により、シリコン基板に形成さ

れている絶縁ゲート型電界効果トランジスタ(MOST)のソース/ドレイン領域層(S/D領域層)と銅配線層とが接続され、かつ銅配線層と上部配線層とが接続された後の状態を示す断面図である。

【0015】まず、図1(a)に示すように、シリコン基板(基板)11上にCVD法により膜厚約0.7 μ mの絶縁膜12を形成する。絶縁膜12としてシリコン酸化膜、PSG膜又はシリコン窒化膜等を用いることができる。次いで、図1(b)に示すように、ドライエッチング法により、不図示のレジスト膜をマスクとして絶縁膜12を選択的にエッチングし、絶縁膜12に深さ0.6~0.7 μ m、幅0.4 μ mの配線溝13を形成する。上記シリコン酸化膜、PSG膜又はシリコン窒化膜に対して、それぞれ $\text{CHF}_3+\text{CF}_4+\text{Ar}$ からなる反応ガスを用いる。

【0016】次に、図1(c)に示すように、スパッタ法により、圧力3.8mTorrの $\text{Ar}+\text{N}_2$ ガス中、電力4kWの条件で、膜厚約50nmの窒化チタン膜(TiN膜)14を全面に形成する。次いで、ヘキサフルオロアセチルアセトン銅(I)トリメチルビニルシリル(CuHfATPVS)及び水素(H_2)からなる反応ガスを用いたCVD法により、TiN膜14上に膜厚約800nmの銅膜(Cu膜)15を形成する。これにより、配線溝13内はCu膜15により完全に埋められる。

【0017】次いで、図1(d)に示すように、例えばコロイダルシリカを含む研磨剤を用いて化学的機械研磨(CMP)を行う。これにより、配線溝13の上部に突出するCu膜15、及び配線溝13の外の絶縁膜12上のCu膜15やTiN膜14が除去されて、配線溝13内にのみTiN膜14aを介在してCu膜15aが残る。これにより、平坦な基板表面を維持しつつ、銅配線層15aが形成される。また、例えば、図3に示すように、配線溝13a内において、シリコン基板11に形成されているMOSTのS/D領域層20aと銅配線層15bとがTiN膜14bを介して接続される。

【0018】次に、図2(a)に示すように、スパッタ法により、圧力1.8mTorrの Ar ガス中、電力1kWの条件で、膜厚約10nmのチタン膜(Ti膜)16を銅配線層15a及び絶縁膜12上に形成する。続いて、温度450℃、時間30分の条件で、加熱処理する。これにより、Ti膜16のTi粒子がCu膜中に拡散により導入され、銅配線層15aの表層約100にTi導入層17が形成される。このとき、銅配線層15a中に拡散したTi粒子は、固溶度の制限を受けるため、銅配線層15a中で粗な状態で存在する。次に、図2(b)に示すように、CMPにより、銅配線層15a上及び絶縁膜12上のTi膜16を除去する。

【0019】次いで、図2(c)に示すように、ジメチルヒドラジン(CH_3NNH_2)10sccm及び He 100sccmの混合ガスをチャンバ内に導入し、圧力1Torrに保持した状態で、シリコン基板11を加熱し、温度350℃に

保持して15分間加熱処理を行う。これにより、銅配線層15a中に拡散され、粗な状態で存在しているTi粒子は銅配線層15aの表面で窒素と反応し、TiNに変換される。この結果、銅配線層15aの表層約100に緻密なTiN膜17aが形成され、TiN膜17a、14aにより被覆された銅配線層15aからなる配線層18が形成される。

【0020】次に、図2(d)に示すように、ジシラン又はシランの反応ガスを用いたCVD法により、温度400℃の条件でポリシリコン膜19を形成する。このとき、銅配線層15aと絶縁膜12やポリシリコン膜19との接触部にはTiN膜からなる介在膜14a、17a等が介在しているので、加熱処理により、銅配線層15aが酸化したり、銅粒子が絶縁膜12やポリシリコン膜19内に拡散したりするのを防止することが出来る。その後、ポリシリコン膜19をパターニングし、上部配線層19を形成する。これより、上下の配線層18、19同士が接続される。

【0021】一方、図3に示すように、MOSTのS/D領域層20aと接続した配線層18aと上部配線層19aとが接続される。以上のように、本発明の実施例に係る埋め込み型の銅配線層の作成方法によれば、銅配線層15aと絶縁膜12やポリシリコン膜19との接触部にTiN膜14a、17aが介在する。また、銅配線層15aと、絶縁膜12、ポリシリコン膜19a及びシリコン基板11のS/D領域層20aとの接触部にTiN膜14b、17bが介在する。従って、上部配線層となるポリシリコン膜19、19aを形成する際の加熱処理により、銅配線層15a、15bの酸化を防止し、銅配線層15a、15bの周囲の絶縁膜12、ポリシリコン膜19、19a、及びシリコン基板11のS/D領域層20aへの銅粒子の拡散を防止することができる。

【0022】また、半導体装置の完成後に、高温環境による銅配線層15a、15bの酸化を防止し、絶縁膜12、上部配線層19、19a及びシリコン基板11のS/D領域層20aへの銅粒子の拡散を防止することができる。更に、配線溝13内に埋め込まれた銅配線層15a、15bの表層にTi粒子を導入し、Ti粒子と窒素とを反応させて銅配線層15a、15bの表層にTiN膜17a、17bを形成している。TiN膜17a、17bは緻密なため、銅配線層15a、15b上に形成されるポリシリコン膜19、19aと銅配線層15a、15bとの反応を防止する保護膜として機能する。従って、特別な他の保護膜を必要としない。

【0023】これにより、基板表面の平坦化を維持しつつ、銅配線層15a、15bが酸化するのを防止し、或いは絶縁膜12の絶縁性の低下を防止し、或いはシリコン基板11に形成されるトランジスタのリーク電流の増大を防止することができる。また、研磨により発生した銅配線層15a、15b表面の荒れやダメージもその研磨面に窒化物を形成することにより緩和することができる。

【0024】なお、上記の実施例では、銅配線層15a、15bの表層に拡散する金属としてTi膜16のTi粒子を用いているが、銅中に拡散しやすく、かつ窒化が容易な材料であれば他の金属を用いることも可能である。例えばニオブ(Nb)や他の高融点金属膜等がある。また、配線溝13、13a内の絶縁膜12と銅配線層15a、15bとの間に介在する介在膜14a、14bの材料として、高融点金属の窒化物(TiN)を用いているが、他の高融点金属、例えばTi、Ta、W、Mo、Nbやそれらの窒化物を用いてもよい。

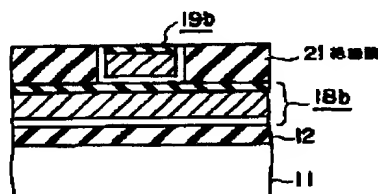
【0025】更に、下部配線層として銅配線層15a, 15bを形成しているが、図4に示すように、銅配線層を含む上下の配線層18b, 19b同士を接続することもできる。また、図6に示すように、銅配線層を含む配線層19cと電極22を接続するようにしてもよい。また、窒素を含むガスとしてヒドラジン化合物を用いているが、 N_2 又は NH_3 をそれぞれ単独で、或いは両方を混合して用いることができる。この場合、温度550~800℃で基板を加熱することにより反応させることができる。

【0026】更に、窒素を含むガスとして、他のヒドラジン化合物、例えばジエチルヒドラジン、或いはアミド化合物、例えばメチルアミンやエチルアミン、又は窒素環状化合物、例えばトリアジンをそれぞれ単独で、或いは任意の組み合わせで混合して用いてもよい。この場合、温度350℃以上で基板を加熱することにより、或いは温度100℃以上に基板を加熱した状態で窒素を含むガスをプラズマ化することにより、又は温度100℃以上に基板を加熱した状態で、紫外線やレーザ光その他の光を照射することにより、窒素を活性化させて窒素と金属粒子とを反応させることができる。

[0027]

【発明の効果】 以上のように、本発明の半導体装置の製造方法においては、銅膜の周囲を高融点金属膜やその窒化物により被覆しているため、銅膜の周囲に絶縁膜やポリシリコン層を形成した場合、銅膜と絶縁膜等の間に必ず高融点金属膜等が介在し、従って、膜形成等の際の加熱処理時に、銅膜の酸化を防止し、銅膜の周囲の絶縁膜やポリシリコン層への銅粒子の拡散を防止することができる。また、半導体装置の完成後に、高温環境による銅膜の酸化や、絶縁膜やポリシリコン膜への銅粒子の拡散を防止することができる。

【圖4】



【0028】更に、溝内に埋め込まれた銅膜の表層に金属粒子を導入し、金属粒子と窒素とを反応させて銅膜の表層に金属窒化物を形成している。従って、特別な他の保護膜を必要としないため、基板表面の平坦化を維持しつつ、銅膜が酸化するのを防止し、或いは銅膜周囲の絶縁膜の絶縁性の低下を防止し、或いは銅膜周囲のシリコン層に形成されるトランジスタのリーク電流の増大を防止することができる。

【図面の簡単な説明】

10 【図1】本発明の実施例に係る銅配線層の作成方法について示す断面図（その1）である。

【図2】本発明の実施例に係る銅配線層の作成方法について示す断面図（その2）である。

【図3】本発明の実施例に係る銅配線層の作成方法により作成された銅配線層とトランジスタのS/D領域層が接続された状態を示す断面図である。

【図４】本発明の他の実施例に係る銅配線層の作成方法により作成された銅配線層同士が接続された状態を示す断面図である。

20 【図5】本発明の他の実施例に係る銅配線層の作成方法により作成された銅配線層と電極が接続された状態を示す断面図である。

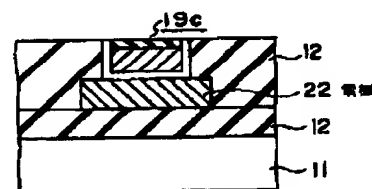
【図6】従来例に係る銅配線層の作成方法について示す断面図である。

【図7】他の従来例に係る銅配線層の作成方法について示す断面図である。

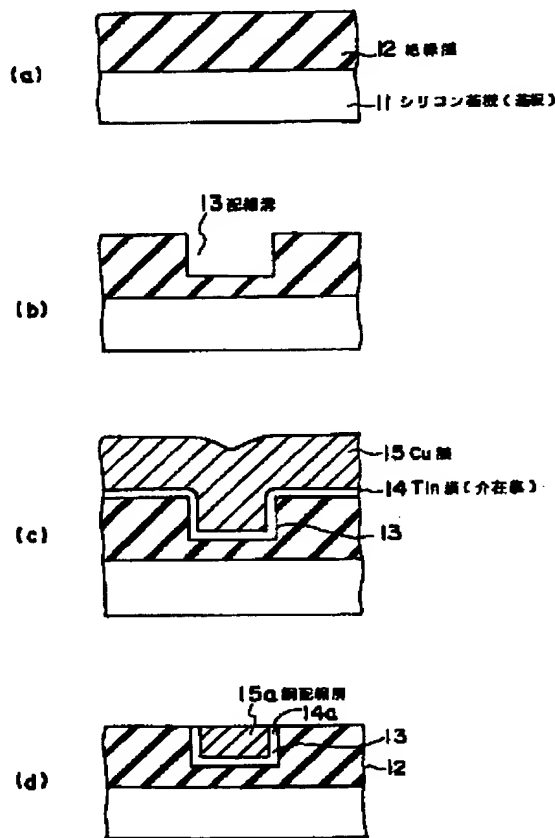
【符号の説明】

- 1 1 シリコン基板（基板）、
- 1 2, 2 1 絶縁膜、
- 30 1 3 配線溝、
- 1 4, 14a, 14b, 17a TiN膜（介在膜）、
- 1 5 Cu膜、
- 15a, 15b 銅配線層、
- 1 6 Ti膜、
- 1 7 Ti導入層、
- 17a, 17b TiN膜、
- 1 8, 18a, 18b 配線層、
- 1 9 ポリシリコン膜（上部配線層）、
- 19a~19c 上部配線層、
- 40 20a, 20b S/D領域層、
- 2 2 電極。

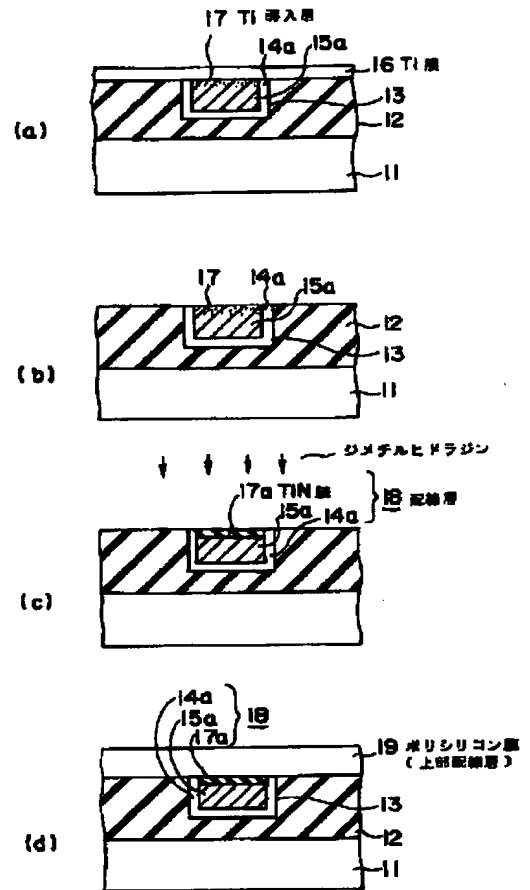
【图5】



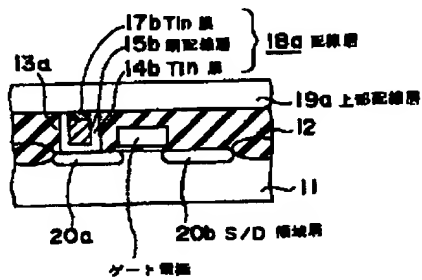
【図1】



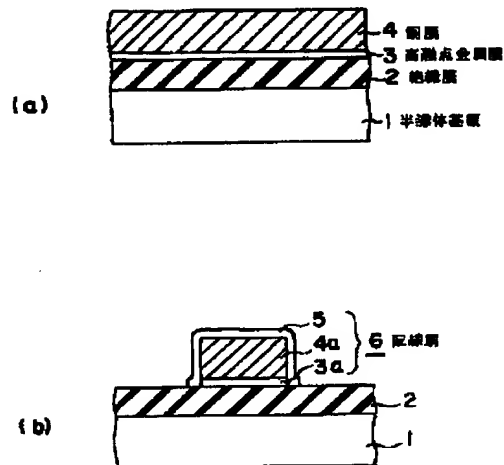
【図2】



【図3】



【図6】



【図7】

